

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07273600 A**(43) Date of publication of application: **20.10.95**

(51) Int. Cl.

H03H 17/02
H03H 17/06(21) Application number: **06061735**(71) Applicant: **NEC CORP**(22) Date of filing: **30.03.94**(72) Inventor: **ISHIZAWA YOSHIKI**(54) **DIGITAL FILTER**

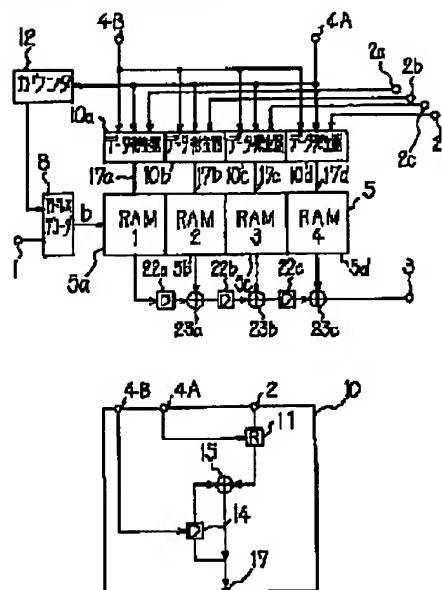
(57) Abstract:

PURPOSE: To reduce a coefficient revision time considerably without increase in the scale by providing a data generator comprising an adder, a delay circuit and a coefficient register to each tap in the digital filter employing a RAM for the multiplication.

CONSTITUTION: Data generators 10a to 10d or the like of the same configuration are provided to taps of the digital filter and data information from an input terminal 1 and coefficient information from the generators 10a to 10d are multiplied by corresponding RAMs 5a to 5d and filtered information is outputted from an output terminal 3. A coefficient signal from a coefficient data input terminal 2 is stored in a register 11 based on a control signal from control input terminals 4A, 4B and accumulated by a delay circuit 14 and an adder circuit 15 to provide an output of the coefficient information and the coefficient is revised in parallel in each tap thereby reducing the coefficient calculation time considerably. As a result, the processing time is 896 clocks ($=265 \times 64$) in the case of an 8-bit input for 640 tap provision, and then the small

sized and high speed filter is realized.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273600

(43) 公開日 平成7年(1995)10月20日

(51) Int.Cl.⁶

H 0 3 H 17/02

17/06

識別記号

庁内整理番号

K 8842-5 J

L 8842-5 J

Z 8842-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号

特願平6-61735

(22) 出願日

平成6年(1994)3月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 石澤 善朗

東京都港区芝五丁目7番1号 日本電気株式会社内

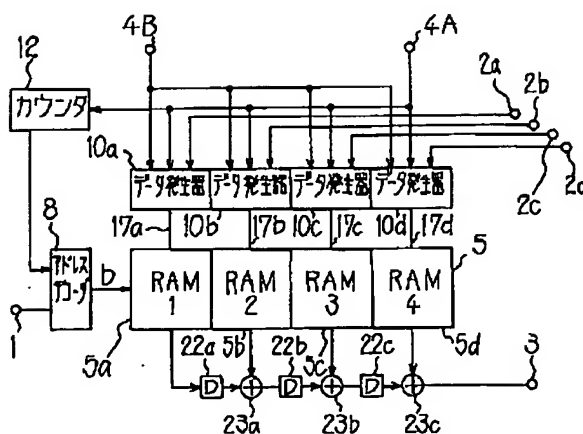
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 デジタルフィルタ

(57) 【要約】

【目的】 各タップ毎に加算器、遅延回路および係数レジスタからなるデータ発生器を備え、係数設定時間の短いデジタルフィルタを提供する。

【構成】 各タップ毎に係数をロードするためのレジスタと1個の加算器と遅延回路を備え、係数を変化する時はまず係数のみを各タップの係数レジスタにロードし全ての係数ロードが終了した時点で各タップにおいて係数を必要なデータ数分累積加算する。その処理に要する時間は入力8ビット640タップフィルタの時 $256 + 640 = 896$ クロックとなり、従来に比べ約 $1/180$ 以下の時間で係数のセットが可能となる。



1

【特許請求の範囲】

【請求項1】 デジタルフィルタの係数であるデジタル信号から成る係数信号を前記係数信号に相当する内部アドレス信号に対応する内部アドレスに格納する記憶手段と、前記内部アドレスを発生する内部アドレス発生手段と、前記係数信号設定時には前記内部アドレス信号を選択しフィルタ演算時には入力信号を選択して前記記憶手段に与えるアドレス選択手段とを備え、前記フィルタ演算を前記記憶手段に蓄えられた前記デジタル信号を用いて行うデジタルフィルタにおいて、各タップ毎に前記係数信号を受けると共に保持する係数信号保持手段と前記係数信号を順次累積加算する累積加算手段とを含むデータ発生手段とを備え、前記係数信号設定時には前記累積加算手段により発生した累積加算信号を前記記憶手段の前記内部アドレス信号に対応したアドレスに格納することを特徴とするデジタルフィルタ。

【請求項2】 前記各タップには前記係数信号の共通な信号を受けることを特徴とする請求項1記載のデジタルフィルタ。

【請求項3】 前記データ発生手段は、前記係数信号を第1の制御信号により保持する前記信号保持手段と、前記信号保持手段の出力を第2の制御信号により制御される遅延手段と、前記信号保持手段の出力と前記遅延手段の出力を加算する前記累積加算手段とを有することを特徴とする請求項1または2記載のデジタルフィルタ。

【請求項4】 前記信号保持手段は前記第1制御信号のシステムクロックで制御されるレジスタ回路を含み、前記遅延手段は前記第2の制御信号とにより前記レジスタ回路の出力を遅延する遅延回路を含み、前記累積加算手段は加算器を含むことを特徴とする請求項1、2、3または4記載のデジタルフィルタ。

【請求項5】 デジタルフィルタの係数であるデジタル信号から成る係数信号を前記係数信号に相当する内部アドレス信号に対応する内部アドレスに格納する記憶手段と、前記内部アドレスを発生する内部アドレス発生手段と、前記係数信号設定時には前記内部アドレス信号を選択しフィルタ演算時には入力信号を選択して前記記憶手段に与えるアドレス選択手段とを備え、前記フィルタ演算を前記記憶手段に蓄えられた前記デジタル信号を用いて行うデジタルフィルタにおいて、各タップ毎に前記係数信号を受けると共に保持する係数信号保持手段と前記係数信号を順次累積加算する累積加算手段とを含むデータ発生手段と、前記第2の制御信号により制御される第1および第2の選択手段とを備えて、前記係数信号設定時には、前記累積加算手段により発生した累積加算信号を前記記憶手段の前記内部アドレス信号に対応したアドレスに格納し、前記フィルタ演算時には、前記記憶手段に蓄えられた前記デジタル信号の加算をするデータ加算器を有することを特徴とするデジタルフィルタ。

2

【請求項6】 前記各タップには前記係数信号の共通な信号を受けることを特徴とする請求項5記載のデジタルフィルタ。

【請求項7】 前記データ加算器は、第1の制御信号で制御され前記係数信号を保持するレジスタと、前記記憶手段の出力または前記レジスタの出力を第2の制御信号で選択する第1のセレクタと、外部信号の供給を受けるカスケード入力端子と、前記第1のセレクタと前記外部信号を前記第2の制御信号で選択する第2のセレクタと、この第2のセレクタの出力を遅延する遅延回路と、この遅延回路の出力と前記第1のセレクタの出力とを加算する加算器と、この加算器の出力を外部へ出力するカスケード出力端子とを有することを特徴とする請求項5または6記載のデジタルフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高速演算を行うデジタルフィルタに関し、特にフィルタ演算のうち乗算をRAM(Random Access Memory)をもちいて行うデジタルフィルタに関する。

【0002】

【従来の技術】一般に、デジタルフィルタの演算部分を構成する構成要素として、(1)乗算器を使用する場合、(2)ROM(Read Only Memory)を使用する場合、および(3)RAM(Random Access Memory)を使用する場合、の3通りの構成要素が公知である。

【0003】この3つの構成要素の特徴をデジタルフィルタの動作速度とこのデジタルフィルタを半導体チップ上に形成した半導体チップのチップの面積に着目して比較してみると、各構成要素とも動作速度の面ではほぼ同等の性能を実現することが可能であるが、半導体チップ上のデジタルフィルタの占有面積はROM構成がいちばん大きく、次に乗算器の構成であり、RAMの構成の順となる。

【0004】例えば、ROMにより(8×8)の乗算器を構成した場合、全ての乗算結果を書き込んで置く必要があるため、2の16乗=65536ビット語のデータが必要となり出力が16ビットであるからさらに16倍して65536×16=1084576ビットと約1Mビットのメモリが必要になる。

【0005】ROMの代わりにRAMを用いた場合の出力は、同じ1ビットであるが係数に応じて内容データの書換が可能であるため、入力8本のみでよく、2の8乗=256語となり16倍して256×16=4096ビットで済む。ROMの集積度は、一般にRAMの4倍以上であるが、ビット数が256倍必要になるため、明らかにRAMに比べROMはるかに大きくなる事がわかる。

【0006】また、乗算器を使用するデジタルフィルタ

タは、加算器をビット数だけマトリクス上に配置した単純な並列加算器の場合は比較的小さい面積で実現が可能であるが、高速化のためにはBoothのアルゴリズム、キャリーセーブアダーおよびパイプライン演算のそれぞれの採用等が必要になり回路が複雑になり素子数も増えて回路面積が増大する傾向にある。

【0007】4個のRAMを用いて4タップのFIR（有限インパルス応答）型フィルタを構成した第1の従来のデジタルフィルタの具体的構成例の一例を示す図7を参照すると、このRAMを用いた第1の従来のデ

ジタルは、演算開始前に予め入力データと係数とを乗算した結果（以下係数演算データと略す）を入力データに対応したアドレスに格納して置く必要がある。

【0008】この係数演算データ設定時において、第1の従来のデジタルフィルタのデータ選択器79は係数演算データ入力72より入力される係数演算データを、制御信号入力端子74より入力される制御信号に応じてRAM75の4つのRAMの中から一つを選択して供給しアドレスデコーダ78から供給されるアドレスに対応して格納する。

【0009】次に、この第1のデジタルフィルタのフィルタ演算時においては、アドレスデコーダ78はデータ入力端子71から入力された所定のデジタルデータをアドレスに変換して4つのRAMからなるRAM75に供給する。RAM75は入力されたアドレスに対応して既に格納済の係数演算データを出力し、遅延回路（22a～22c）により所定期間遅延された後、加算器（23a～23c）により加算してフィルタ演算を行いデータ出力端子73より出力する。

【0010】このような構成により、デジタルフィルタの係数を容易に変更可能な小型で高速なデジタルフィルタを提供する事ができる。

【0011】しかしながら、この第1の従来のデジタルフィルタは、前述の様にRAMを使えば高速で回路面積の小さいデジタルフィルタを構成する事が可能であるが、フィルタ演算の前に大量のデータをRAMに格納する必要があるため係数変更にかかるという欠点がある。

【0012】例えば、前述のデジタルフィルタの係数および入力のそれぞれが8ビットで出力が16ビットの場合、1タップ当たり4096ビットの係数演算データが必要になり、4タップでは16384ビットのデータが必要となる。これは多くのタップ数を必要とするシステム、例えばゴースト・リデューサ・システムの場合、最大640タップのフィルタが必要とされ、この場合4096ビット×640＝2621440ビットと膨大なデータが必要になるシステムにおいては無視出来ないものとなる。

【0013】さらに、このデータをすべてシリアル転送したとすると、係数の変更に2621440クロック必

要となり、仮に16ビットパラレルに転送したとしても163840クロック必要になる。またこの転送速度は外部CPUの性能に非常に依存する。

【0014】この欠点を改善し、データ転送時間を短くした第2の従来のデジタルフィルタは、例えば、特開平4-222111号公報に開示されている。この第2の従来のデジタルフィルタの構成を図8に示す。

【0015】この第2の従来のデジタルフィルタは図7に示す第1の従来のデジタルフィルタと同様に4個のRAMを用いて4タップのFIRフィルタを構成している。

【0016】この第2の従来のデジタルフィルタは係数演算データを外部からロードせず内部発生する乗算器93を有する構成である。

【0017】次に、この第2の従来のデジタルフィルタの動作を図8を参照して説明する。

【0018】図8を参照すると、まず、係数データ入力端子82より入力されレジスタ91に格納された係数データはカウンタ92が発生する内部アドレスと乗算器93において乗算される。乗算信号は制御信号端子84より入力される制御信号に従ってデータ選択器86によりRAM85の中から選択されたRAMに、アドレスデコーダ88を介して与えられた内部アドレスに対応して格納される。

【0019】フィルタ演算に関しての動作は、先に図7に示す第1の従来のデジタルフィルタと同一であるので説明は省略する。

【0020】このように、係数演算データの内部発生を行うことで第2の従来のデジタルフィルタにおけるデータロードは係数分だけで済むので、そのタップのビット数は、8ビット×4タップ＝32ビット分である。

【0021】

【発明が解決しようとする課題】しかしながら、この従来のデジタルフィルタは、各タップに係数演算データを格納するために256回の演算が必要になり、結局、4タップで32＋256×4＝1056クロック必要になる。さらに、640タップの場合係数ロードに640クロック必要で、係数演算に640×256＝163840クロックの計164480クロック必要となる。

【0022】すなわち、外部CPUへの依存度を減らす意味では効果があったが、全体として係数変更にかかる問題点が依然としてあった。

【0023】したがって本発明の目的は、係数変更の時間を削減し高速動作のできるデジタルフィルタを提供することにある。

【0024】

【課題を解決するための手段】本発明のデジタルフィルタは、デジタルフィルタの係数であるデジタル信号から成る係数信号を前記係数信号に相当する内部アドレス信号に対応する内部アドレスに格納する記憶手段

5

と、前記内部アドレスを発生する内部アドレス発生手段と、前記係数信号設定時には前記内部アドレス信号を選択しフィルタ演算時には入力信号を選択して前記記憶手段に与えるアドレス選択手段とを備え、前記フィルタ演算を前記記憶手段に蓄えられた前記デジタル信号を用いて行うデジタルフィルタにおいて、各タップ毎に前記係数信号を受けると共に保持する係数信号保持手段と前記係数信号を順次累積加算する累積加算手段とを含むデータ発生手段とを備え、前記係数信号設定時には前記累積加算手段により発生した累積加算信号を前記記憶手段の前記内部アドレス信号に対応したアドレスに格納する構成である。

【0025】また、本発明のデジタルフィルタの前記各タップには、前記係数信号の共通な信号を受ける構成とすることもできる。

【0026】またさらに、本発明のデジタルフィルタの前記データ発生手段は、前記係数信号を第1の制御信号により保持する前記信号保持手段と、前記信号保持手段の出力を第2の制御信号により制御される遅延手段と、前記信号保持手段の出力と前記遅延手段の出力を加算する前記累積加算手段とを有する構成とすることもできる。

【0027】さらにまた、本発明のデジタルフィルタの前記信号保持手段は前記第1の制御信号のシステムクロックで制御されるレジスタ回路を含み、前記遅延手段は前記第2の制御信号により前記レジスタ回路の出力を遅延する遅延回路を含み、前記累積加算手段は加算器を含む構成とすることもできる。

【0028】また、本発明の他のデジタルフィルタは、デジタルフィルタの係数であるデジタル信号から成る係数信号を前記係数信号に相当する内部アドレス信号に対応する内部アドレスに格納する記憶手段と、前記内部アドレスを発生する内部アドレス発生手段と、前記係数信号設定時には前記内部アドレス信号を選択しフィルタ演算時には入力信号を選択して前記記憶手段に与えるアドレス選択手段とを備え、前記フィルタ演算を前記記憶手段に蓄えられた前記デジタル信号を用いて行うデジタルフィルタにおいて、各タップ毎に前記係数信号を受けると共に保持する係数信号保持手段と前記係数信号を順次累積加算する累積加算手段とを含むデータ発生手段と、前記第2の制御信号により制御される第1および第2の選択手段とを備えて、前記係数信号設定時には、前記追跡加算手段により発生した累積加算信号を前記記憶手段の前記内部アドレス信号に対応したアドレスに格納し、前記フィルタ演算時には、前記記憶手段に蓄えられた前記デジタル信号の加算をするデータ加算器を有する構成である。

【0029】さらに、本発明の他のデジタルフィルタの前記各タップには前記係数信号の共通な信号を受ける構成とすることもできる。

6

【0030】またさらに、本発明の他のデジタルフィルタの前記データ加算器は、第1の制御信号で制御され前記係数信号を保持するレジスタと、前記記憶手段の出力または前記レジスタの出力を第2の制御信号で選択する第1のセレクタと、外部信号の供給を受けるカスケード入力端子と、前記第1のセレクタと前記外部信号を前記第2の制御信号で選択する第2のセレクタと、この第2のセレクタの出力を遅延する遅延回路と、この遅延回路の出力と前記第1のセレクタの出力とを加算する加算器と、この加算器の出力を外部へ出力するカスケード出力端子とを有する構成とすることもできる。

【0031】

【実施例】次に本発明の実施例のデジタルフィルタを図面を参照して説明する。

【0032】図1は本発明の第1の実施例のデジタルフィルタの構成図であり、図3および図4に示した従来のデジタルフィルタと同じ構成要素には同一符号を付している。

【0033】図1を参照すると、本発明の第1の実施例のデジタルフィルタは、デジタル信号からなる入力信号の供給を受ける入力端子1と、デジタルフィルタの係数であるデジタル信号なる係数データの供給を受ける入力端子(2a~2d)と、制御信号の供給と受ける制御信号端子4Aおよび4Bのそれぞれと、入力端子2より入力される係数データを制御信号端子4Aより入力されるシステムクロックにより保持し制御信号端子4Bに入力される制御信号により保持された係数データをシステムクロックに同期してアドレスが一つに増えるに従って累積加算する4個のデータ発生器(10a~10d)と、システムクロックに同期してアドレスを1ずつ増すアドレス発生をするカウンタ12と、データ発生器(10a~10d)の累積加算された係数データを記憶する4個のRAM(5a~5d)と、係数データ設定時にカウンタ12の信号を受けて係数信号データを格納するRAM(5a~5d)の任意の記憶アドレスを生成するかまたはフィルタ演算時に入力信号を受けて係数信号データの格納されているRAM(5a~5d)の任意記憶アドレスを生成するアドレスデコーダ8と、入力信号と係数データを格納する各RAM(5a~5d)の出力を所定期間遅延させる遅延回路(22a~22c)と、この遅延回路(22a~22c)により遅延された信号とRAM5b, RAM5cおよびRAM5dのそれぞれから読み出された信号を加算するための加算器(23a~23c)と、加算器23cの出力の供給を受ける出力端子3とを有する。

【0034】さらに、データ発生器(10a~10d)の具体的構成例を示す図2を参照すると、本発明の第1の実施例のデジタルフィルタのデータ発生器10は、係数信号入力端子2から入力される係数データを保持する係数レジスタ11と、係数レジスタ11に保持された

係数データを遅延させる遅延回路14と、この遅延回路14の出力信号と次のシステムクロックで係数レジスタ11に保持された係数データを累積する加算器15と、加算器15の出力を出力する出力端子17とを有する構成である。

【0035】この第1の実施例のデジタルフィルタは、基本的に加算器と遅延回路からなるデータ発生器を各タップに備える事で係数変更時間の短縮を図ったものである。

【0036】次に、この実施例のデジタルフィルタの動作について説明する。

【0037】再び図1を参照すると、本発明の第1の実施例のデジタルフィルタの係数データ設定時は、係数データ入力端子(2a~2d)より入力された係数データが制御信号端子4Aより入力された制御信号に従ってデータ発生器10の内部の係数レジスタに格納される。この第1の実施例のデジタルフィルタの各タップ毎のデータ発生器(10a~10d)は係数演算データを発生し、この係数演算データはカウンタ12の発生する内部アドレスに応じてRAM(5a~5d)に格納される。

【0038】次に、データ発生器10の具体的構成例を示す再び図2を参照すると、このデータ発生器10の係数信号入力端子2から入力された係数データは係数レジスタ11に格納され、システムクロックに同期して加算器15によりアドレスが一つ増えるのに従って累積加算され係数演算データとなる。

【0039】例えば、係数が5で入力が1の時は、その係数演算データは5であり、入力が2の時はその係数演算データは10であるので、入力xを1ずつ増やしていくと同時に入力xに対応する係数演算データKxは入力xの1つ前の係数演算データK(x-1)に係数を加算していけば必要な係数演算データが得られる。こうして得られた係数演算データはカウンタ11に同期してアドレスデコーダ8が発生するアドレスに対応してRAM(5a~5d)に順に格納される。

【0040】この第1の実施例のデジタルフィルタのフィルタ演算に関しては従来例のデジタルフィルタのフィルタ演算と同様であるのでその詳細な説明は省略する。

【0041】本発明の第1の実施例のデジタルフィルタは、タップ毎の係数データ発生には従来例のデジタルフィルタと同じだけのクロックが必要であるが、データ演算を並列に行う事が出来るため256クロックで全てのタップにデータロードが可能であり飛躍的に高速化できる。

【0042】またデータ発生器10は加算器、レジスタおよび遅延回路のそれぞれで構成できるため、回路の規模の増大を抑制することができる。

【0043】次に、本発明の第2の実施例のデジタル

フィルタについて説明する。

【0044】図3を参照すると、この第2の実施例のデジタルフィルタは、第1の実施例のデジタルフィルタ4個の入力端子(2a~2d)の代りにデジタルフィルタの係数である係数データの供給を受ける1個の入力端子2を有し、この入力端子2を共通に接続して係数データを入力するデータ発生器(20a~20d)を第1の実施例のデジタルフィルタのデータ発生器(10a~10d)の代りに置換える以外は、第1の実施例のデジタルフィルタの構成要素と同一で同一構成要素には同一参照符号を付してある。

【0045】この第2の実施例のデジタルフィルタの係数データ設定時には、まずデータ発生器20aの係数レジスタ11aに入力端子2から入力される係数データKaを保持し、次にデータ発生器20bの係数レジスタ11bに係数データKbを保持し、さらにデータ発生器20cの係数レジスタ11cに係数データKcを保持し、最後にデータ発生器20dの係数レジスタ11dに係数データKdを保持するようにシステムクロックを4クロック分動作させて係数データを保持することができる。

【0046】それ以外の動作は、第1の実施例のデジタルフィルタの動作と同じであるので詳細な説明は省略する。

【0047】この第2の実施例のデジタルフィルタは4個の入力端子(2a~2d)を1個の入力端子2に減じ、さらにデータ発生器(20a~20d)への接続線の4本を1本にできるのでその構成の簡略化が計れる効果がある。

【0048】次に、本発明の第3の実施例のデジタルフィルタについて説明する。

【0049】図4を参照すると、この第3の実施例のデジタルフィルタは、係数設定時に、デジタルフィルタ係数である係数データの供給を受ける入力端子(2a~2d)から係数データを入力し制御信号端子4Aおよび4Bのそれぞれからの制御信号により係数データを累積加算し、この累積加算係数データをRAM(5a~5d)へ格納し、さらにフィルタ演算時には、RAM(5a~5d)に格納された累積加算係数データを所定期間遅延させ、この遅延された信号とRAM5b、RAM5cおよびRAM5dのそれぞれから読み出された信号を加算するデータ加算器(24a~24d)を第1の実施例のデジタルフィルタのデータ発生器(10a~10d)および遅延回路(22a~22c)および加算器(23a~23c)のそれぞれの代りに有する構成以外は第1の実施例のデジタルフィルタと同一構成で同一構成要素には同一参照符号を付して図示してある。

【0050】図5を参照すると、第3の実施例のデジタルフィルタのデータ加算器24は図2に示すデータ発生器10にセレクタ35および36ならびにRAMデー

タ入力端子32、カスケード入力端子31およびカスケード出力端子33のそれぞれを追加したものである。セレクタ35および36のそれぞれを制御信号端子4Bから入力される制御信号により制御する事で、加算器15の一方の入力信号をRAMデータ入力と係数レジスタとの選択を可能にし、遅延回路14の入力信号をカスケード入力と加算器出力データとの選択を可能にすることで第1の実施例のデジタルフィルタのデータ発生器10および遅延回路(22a~22d)および加算器(23a~23d)との兼用を可能にし回路の縮小を図っている。

【0051】次に、本発明の第3の実施例のデジタルフィルタの動作について説明する。

【0052】係数設定時には、第1の実施例のデジタルフィルタと同様に係数データ入力端子2より入力された係数データは制御信号端子4Aより入力された制御信号に従って係数レジスタに格納される。データ加算器(24a~24d)は各タップ毎に係数の累積加算を行い加算信号をカウンタ12の発生する内部アドレスに応じてRAM(5a~5d)に格納する。

【0053】またフィルタ演算時にはRAM(5a~5d)から出力されるデータをデータ加算(24a~24d)において演算しデータ出力端子3から出力する。

【0054】次に、本発明の第4の実施例のデジタルフィルタについて説明する。

【0055】図6を参照すると、この第4の実施例のデジタルフィルタは、第3の実施例のデジタルフィルタの4個の入力端子(2a~2d)の代りにデジタルフィルタの係数である係数データの供給を受ける1個の入力端子を有し、この入力端子2を共通に接続して係数データをデータ発生器(24a~24d)に入力する構成を有する以外は、第3の実施例のデジタルフィルタの構成要素と同一で同一構成要素には同一参照符号を付してある。

【0056】この第4の実施例のデジタルフィルタの係数データ設定時には、まずデータ発生器24aの係数レジスタ11aに入力端子2から入力される係数データKaを保持し、次にデータ発生器24bの係数レジスタ11bに係数データKbを保持し、さらにデータ発生器24cの係数レジスタ11cに係数データKcを保持し、最後にデータ発生器24dの係数レジスタ11dに係数データKdを保持するようシステムクロックを4クロック分動作させて係数データを保持する。

【0057】それ以外の動作は、第3の実施例のデジタルフィルタの動作と同じであるので詳細な説明は省略する。

【0058】この第4の実施例のデジタルフィルタは4個の入力端子(2a~2d)を1個の入力端子2に減じ、さらにデータ発生器(24a~24d)への接続線の4本を1本にすることができるので、第2の実施例の

デジタルフィルタの簡略化された構成とに、その構成の簡略化が図れる効果がある。

【0059】

【発明の効果】以上説明したように、本発明は乗算をRAM(Random Access Memory)をもちいて行うデジタルフィルタに関し、各タップに加算器、遅延回路および係数レジスタのそれぞれからなるデータ発生器を備える事で回路規模の増大を押さえ、係数変更時間を飛躍的に短かくすることを可能にしたデジタルフィルタが実現できる。

【0060】本発明によりフィルタ演算が可能になるまでの時間を4タップフィルタの場合で約1/4、640タップフィルタの場合で約1/180にそれぞれ短縮できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例のデジタルフィルタの構成を示すブロック図である。

【図2】図1に示すデジタルフィルタのデータ発生器の具体的構成を示すブロック図である。

【図3】本発明の第2の実施例のデジタルフィルタの構成を示すブロック図である。

【図4】本発明の第3の実施例のデジタルフィルタの構成を示すブロック図である。

【図5】図4に示すデジタルフィルタのデータ加算器の具体的構成を示すブロック図である。

【図6】本発明の第4の実施例のデジタルフィルタの構成を示すブロック図である。

【図7】第1の従来のデジタルフィルタの構成を示すブロック図である。

【図8】第2の従来のデジタルフィルタの構成を示すブロック図である。

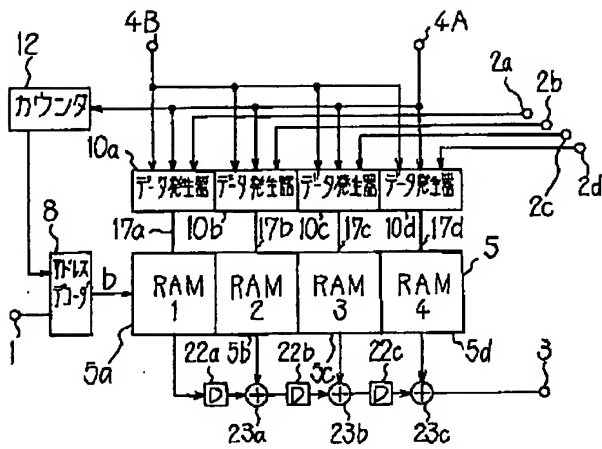
【符号の説明】

- 1 データ入力端子
- 2 係数データ入力
- 3 データ出力
- 4, 4A, 4B 制御信号入力端子
- 5 係数RAM
- 6, 9 データ選択器
- 7, 10 データ発生器
- 8, 78 アドレスデコーダ
- 11 係数レジスタ
- 12 カウンタ
- 13 乗算器
- 14, 22a~22c 遅延回路
- 15, 23a~23c 加算器
- 17 係数演算データ出力端子
- 18 係数演算データ入力端子
- 24, 24a~24d データ加算器
- 31 カスケード入力端子
- 32 RAMデータ入力端子

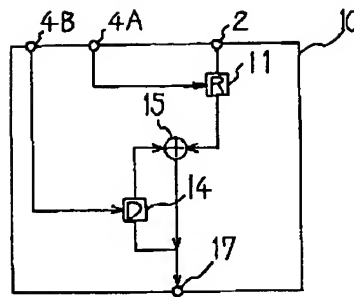
33 カスケード出力端子

35, 36 セレクタ

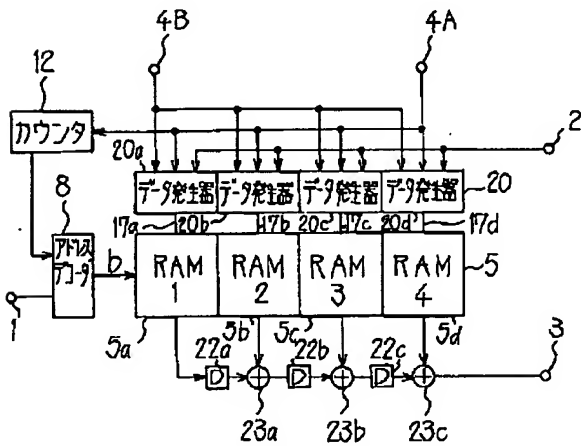
【図1】



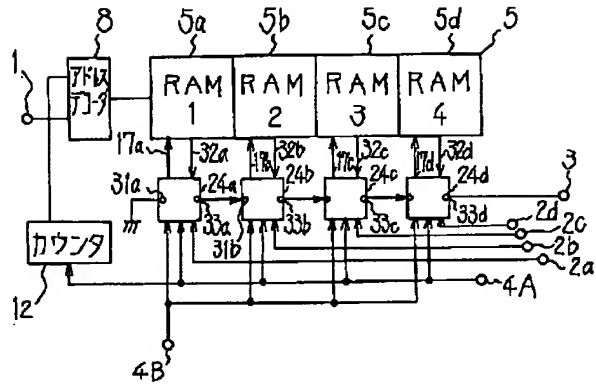
【図2】



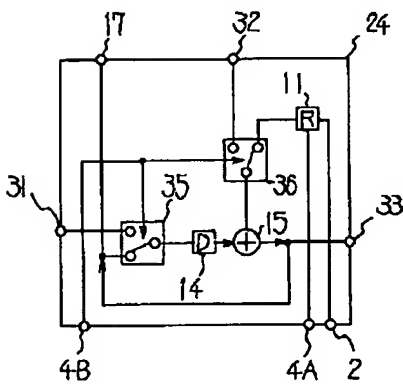
【図3】



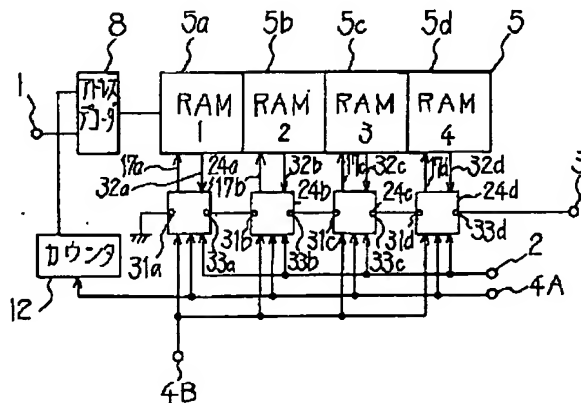
【図4】



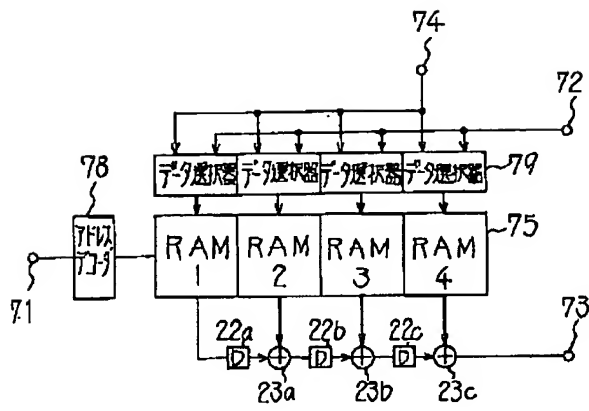
【図5】



【図6】



【図7】



【図8】

